

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-303618

(43)Date of publication of application : 13.11.1998

(51)Int.Cl.

H01P 7/06
H01P 1/208
H01P 5/107
H01P 7/04

(21)Application number : 09-108724

(71)Applicant : KYOCERA CORP

(22)Date of filing : 25.04.1997

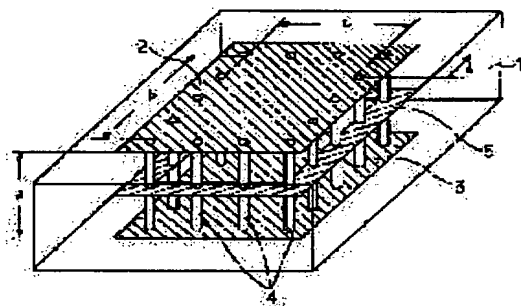
(72)Inventor : UCHIMURA HIROSHI
TAKENOSHITA TAKESHI

(54) LAMINATION TYPE RESONATOR AND LAMINATION FILTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the resonator that is applicable to multi-layered wiring board or semiconductor package and easily manufactured by using conventional lamination technology and to provide the filter employing the resonator.

SOLUTION: The resonator is provided with a dielectric base 1 comprising a laminate of plural dielectric layers, a couple of main conductor layers 2, 3 formed to upper and lower sides of the dielectric base 1 including prescribed areas of them, and a plurality of side wall via-hole conductor 4 groups that surround a prescribed area of the main conductor layers 2, 3 and are formed to electrically connect the main conductor layers 2, 3 at an interval less than a half of a signal wavelength with respect to the resonance frequency mutually. Then the resonance area is formed with an area surrounded by the main conductor layers 2, 3 and the side wall via-hole conductor 4 groups, a side wall conductor layer 5 is formed connecting electrically to the side wall via-hole conductor 4 groups is formed around the resonance area between the main conductor layers 2, 3 and a dielectric constant of the dielectric layers placed in the middle of the resonance area is selected higher than that of the dielectric layers at the both sides to enhance the Q.



LEGAL STATUS

[Date of request for examination] 30.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3464117

[Date of registration] 22.08.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3464117号
(P3464117)

(45) 発行日 平成15年11月5日 (2003. 11. 5)

(24) 登録日 平成15年8月22日 (2003. 8. 22)

(51) Int.Cl.⁷

識別記号

F I

H 0 1 P 7/06
1/208
5/107
7/04

H 0 1 P 7/06
1/208 Z
5/107 B
7/04

請求項の数 5 (全 8 頁)

(21) 出願番号 特願平9-108724
(22) 出願日 平成9年4月25日 (1997. 4. 25)
(65) 公開番号 特開平10-303618
(43) 公開日 平成10年11月13日 (1998. 11. 13)
審査請求日 平成13年3月30日 (2001. 3. 30)

(73) 特許権者 000006633
京セラ株式会社
京都府京都市伏見区竹田鳥羽殿町6番地
(72) 発明者 内村 弘志
鹿児島県国分市山下町1番4号 京セラ
株式会社総合研究所内
(72) 発明者 竹之下 健
鹿児島県国分市山下町1番4号 京セラ
株式会社総合研究所内

審査官 新川 圭二

(56) 参考文献 特開 平3-77402 (J P, A)
特開 平6-314909 (J P, A)
特開 平8-78903 (J P, A)
特公 昭37-7528 (J P, B 1)

最終頁に続く

(54) 【発明の名称】 積層型共振器および積層型フィルタ

(57) 【特許請求の範囲】

【請求項1】複数の誘電体層の積層体からなる誘電体基板と、該誘電体基板の上下面の少なくとも所定領域を含む表面に形成された一対の主導体層と、前記主導体層の前記所定領域を囲み、相互に共振周波数に対応する信号波長の $1/2$ 未満の間隔をもって前記主導体層間を電気的に接続するように形成された複数の側壁用バイアホール導体群と、前記主導体層間に前記側壁用バイアホール導体群と電気的に接続され、前記主導体層と平行に形成された副導体層を具備し、前記主導体層と前記側壁用バイアホール導体群および副導体層によって取り囲まれた領域によって共振領域を形成したことを特徴とする積層型共振器。

【請求項2】前記共振領域の中央部に位置する前記誘電体層を両側の誘電体層よりも高誘電率化したことを特徴

とする請求項1記載の積層型共振器。

【請求項3】複数の誘電体層の積層体からなる誘電体基板と、該誘電体基板の片方の少なくとも所定領域を含む表面に形成された第1の主導体層と、前記主導体層の前記所定領域を囲み、相互に共振周波数に対応する信号波長の $1/2$ 未満の間隔をもって前記誘電体層の積層方向に延びるように形成された複数の側壁用バイアホール導体群と、前記誘電体基板の他方の面の前記所定領域以外の領域に形成され、前記側壁用バイアホール導体の端部を電気的に接続する第2の主導体層と、前記主導体層間に、前記側壁用バイアホール導体群と電気的に接続され、前記主導体層と平行に形成された副導体層とを具備し、前記主導体層と前記側壁用バイアホール導体群および前記副導体層によって取り囲まれた領域によって共振領域を形成したことを特徴とする積層型共振器。

【請求項4】前記共振領域の、前記第2の主導体層と接する前記誘電体層を他よりも高誘電率化したことを特徴とする請求項4記載の積層型共振器。

【請求項5】請求項1乃至請求項6の少なくともいずれかの積層型共振器を具備する積層型フィルタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、主にマイクロ波及びミリ波等の高周波の信号用の共振器およびフィルタに関するもので、特に、多層配線基板や半導体パッケージ内に構成可能な共振器およびフィルタに関する。

【0002】

【従来技術】従来より、マイクロ波やミリ波等の高周波用の共振器として、同軸線路、導波管、マイクロストリップ線路等を用いたものが知られている。同軸線路を用いたものは、両端短絡 $\lambda/2$ 分布定数線路を構成したものの、片側短絡では、一方の片側開放の $\lambda/4$ 分布定数線路で構成したものがある。主モードはTEMモードで共振周波数 f_0 は、光速を c 、線路長を L 、同軸内部の比誘電率を ε とすると、

$$\lambda/2 \text{ 共振器の場合: } f_0 / \varepsilon^{1/2} = c / 2L$$

$$\lambda/4 \text{ 共振器の場合: } f_0 / \varepsilon^{1/2} = c / 4L$$

の関係からなる。

【0003】一方、導波管を用いたものは、直六面体空洞共振器や円筒空洞共振器が用いられる。これらの形状に対して、多くのモードがあり、その共振波長を λ_0 とすると、その共振周波数 f_0 は、

$$f_0 = c / \lambda_0$$

で表せられる。共振波長 λ_0 は、 $a \times b \times c$ のサイズの直六面体空洞共振器の場合は、

$$\lambda_0 / 2 = [(m/a)^2 + (n/b)^2 + (s/c)^2]^{-1/2}$$

となる。ここで m 、 n 、 s は整数である。

【0004】また、半径 a で長さが L の円筒空洞共振器の場合は、

$$\text{TEM}_{ns} \text{ モード: } \lambda_0 / 2 = [(s/L)^2 + (\chi'_{mn} / \pi a)^2]^{-1/2}$$

$$\text{TM}_{mns} \text{ モード: } \lambda_0 / 2 = [(s/L)^2 + (\chi_{mn} / \pi a)^2]^{-1/2}$$

となる。

【0005】ここで、 χ_{mn} および χ'_{mn} は、それぞれ $J_m(\chi)$ (m 次のベッセル関数)の n 番目の根および $J'_m(\chi)$ の n 番目の根である。空洞共振器の中に比誘電率 ε の誘電体が満たされている場合、共振周波数 f_0 はその $1/\varepsilon^{1/2}$ となる。

【0006】マイクロストリップ線路を用いたものは、両端短絡で長さが $\lambda/2$ の共振器、両端開放で長さが $\lambda/2$ の共振器、および片側短絡、片側開放で長さが $\lambda/4$ の共振器がある。共振周波数 f_0 は同軸線路系の場合とほぼ同様である。ただし、比誘電率は誘電体そのもの

の値ではなく、実効比誘電率が用いられる。

【0007】

【発明が解決しようとする課題】最近に至り、多層構造の配線基板内に、フィルタを形成することが望まれている。しかし、同軸線路および導波管による共振器を用いたフィルタは、特性が優れるものの、多層構造の配線基板内に形成することは不可能である。また、マイクロストリップ線路を用いたフィルタは、配線基板表面に構成することができるが、導体損、誘電体損、放射損によるエネルギーの損失が大きく、マイクロ波やミリ波等の高周波領域では優れた特性は得られにくいという問題点があった。

【0008】従って、本発明の目的は、多層配線基板あるいは半導体パッケージにおけるフィルタとして利用可能であり、積層化技術を用いて容易に作成可能な共振器とそれを用いたフィルタを提供することにある。

【0009】

【課題を解決するための手段】発明者らは、同軸線路および導波管の新たな構造について検討を重ねた結果、従来の導波管型、または同軸型の共振器構造において、側面を導体壁に代わり、所定間隔で設けられた多数のバイアホール導体によって囲むことにより、多層化技術によって容易に作製できる共振器構造を見いだしたものである。

【0010】即ち、本発明の積層型共振器は、複数の誘電体層の積層体からなる誘電体基板と、該誘電体基板の上下面の少なくとも所定領域を含む表面に形成された一対の主導体層と、前記主導体層の前記所定領域を囲み、相互に共振周波数に対応する信号波長の $1/2$ 未満の間隔をもって前記主導体層間を電氣的に接続するように形成された複数の側壁用バイアホール導体群と、前記主導体層間に前記側壁用バイアホール導体群と電氣的に接続され、前記主導体層と平行に形成された副導体層を具備し、前記主導体層と前記側壁用バイアホール導体群および副導体層によって取り囲まれた領域によって共振領域を形成したことを特徴とする。

【0011】さらに、本発明の積層型共振器は、複数の誘電体層の積層体からなる誘電体基板と、該誘電体基板の片方の少なくとも所定領域を含む表面に形成された第1の主導体層と、前記主導体層の前記所定領域を囲み、相互に共振周波数に対応する信号波長の $1/2$ 未満の間隔をもって前記誘電体層の積層方向に延びるように形成された複数の側壁用バイアホール導体群と、前記誘電体基板の他方の面の前記所定領域以外の領域に形成され、前記側壁用バイアホール導体の端部を電氣的に接続する第2の主導体層と、前記主導体層間に、前記側壁用バイアホール導体群と電氣的に接続され、前記主導体層と平行に形成された副導体層とを具備し、前記主導体層と前記側壁用バイアホール導体群および前記副導体層によって取り囲まれた領域によって共振領域を形成したことを

特徴とする。

【0012】

【発明の実施の形態】図1は、本発明に係わる導波管型の共振器の一実施例を説明するための概略斜視図である。図1において、1は誘電体基板、2、3は主導体層、4はバイアホール、5は副導体層である。

【0013】図1によれば、誘電体基板1を挟んで所定の間隔aをもって一對の主導体層2、3が平行に形成されている。主導体層2、3は誘電体基板1の少なくとも所定領域を含む、言い換えれば共振領域を挟む上下面の一面に形成されている。また、主導体層2、3間には、これらと平行な副導体層5と、主導体層2、3と副導体層5とを電気的に接続する側壁用バイアホール導体4が所定領域を囲むように多数設けられている。側壁用バイアホール導体4群は、所定間隔dをもって配置され、 $b \times c$ の方形に配置されている。このようにして、主導体層2、3、副導体層5、側壁用バイアホール導体4群により取り囲まれた $a \times b \times c$ により共振領域が形成されている。

【0014】側壁用バイアホール導体4群の間隔dが共振周波数に対応する信号波長 λ の $1/2$ 以上では、この領域に電磁波を給電しても、バイアホール群で電磁波が反射しないため、定在波は発生しない。しかし、バイアホール間隔dが共振周波数に対応する信号波長 λ の $1/2$ 未満では、電磁波は側壁用バイアホール導体4群で反射し、定在波が発生して共振する。その結果、図1の構成によれば、主導体層2、3、多数の側壁用バイアホール導体4群および副導体層5によって囲まれる $a \times b \times c$ のサイズの共振器が形成される。なお、この副導体層5を形成することにより、共振器の側壁における電磁波の反射効果を高めることができる。

【0015】かかる構造において、共振周波数 f_0 は従来技術の直六面体空洞共振器の場合と同様に求めることができる。ただし、この場合、誘電体の比誘電率を ϵ とすると、共振周波数は $1/\epsilon^{1/2}$ となる。また、共振器のサイズも $1/\epsilon^{1/2}$ となるので、共振器を構成する誘電体の比誘電率を適当に選ぶことにより、多層配線基板内に構成できる程度のサイズにする事ができる。

【0016】なお、図1の実施例では、側壁用バイアホール導体4群で $b \times c$ の方形の断面の共振器を形成したが、側壁用バイアホール導体4群を円形に形成して、例えば半径bの円形状の共振器を形成することができる。この場合は比誘電率 ϵ の誘電体が詰まった円筒共振器を構成することとなる。

【0017】図2は本発明に係わる導波管型の共振器の他の実施例を示す概略斜視図である。図1の実施例と比較すると、主導体層2、3の代わりに、共振領域の下面一面に第1の主導体層3が形成され、他方の表面には、共振領域以外の領域に形成され、側壁用バイアホール導体4群の端部を電気的に接続する第2の主導体層2'が

形成されている。共振器の端部が表面に露出している場合、即ち、大気と接触している場合、あるいは誘電体基板1よりも比誘電率の低い誘電体に覆われている場合、共振領域内に給電された電磁波は、誘電体基板1と大気、または誘電率の低い誘電体との界面で反射されるため、電磁波が漏れないので、主導体層2を必要とすることなく、共振器として作用する。この共振器では、図1の場合の共振器に比べ共振器の厚みaが半分で構成することができ、より小さな共振器を構成することができる。

【0018】図3は、本発明に係わる同軸系の共振器の一実施例を示す概略斜視図であり、6は信号線、7は主導体層に空けられた穴である。図3によれば、誘電体基板1を挟んで所定の間隔aをもって一對の主導体層2、3が平行に形成されている。主導体層2、3は誘電体基板1の少なくとも所定領域（共振領域）を含む下面の一面に形成されている。また、主導体層2、3間には、これらと平行な副導体層5と、主導体層2、3と副導体層5とを電気的に接続する側壁用バイアホール導体4が多数設けられている。側壁用バイアホール導体4群は、所定間隔dをもって配置され、 $b \times c$ の方形を形成している。このように、主導体層、副導体、バイアホール群により取り囲まれた $a \times b \times c$ の領域により共振領域が形成されている。また、主導体層2には電気的な穴7が空けられ、そこから共振領域内に信号線6が挿入されている。

【0019】図1の場合の実施例と同様に、側壁用バイアホール導体4の間隔dが共振周波数に対応する信号波長 λ の $1/2$ 未満では、この領域に給電された電磁波は側壁用バイアホール導体4群で反射し、定在波が発生して共振する。その結果、図3の構成によれば、主導体層2、3、多数のバイアホール導体4群および副導体層5によって囲まれる $a \times b \times c$ のサイズの領域が同軸線路系の共振器となる。図3の実施例では、側壁用バイアホール導体4群で $b \times c$ の方形を形成したが、このバイアホール導体4群を円形状に配置して、例えば半径bの断面の共振器を形成することもできる。

【0020】かかる構造において、共振周波数 f_0 は従来技術の同軸共振器の場合と同様に求めることができる。ただし、この場合、誘電体の比誘電率を ϵ とすると、共振周波数は $1/\epsilon^{1/2}$ となる。また、共振器のサイズも $1/\epsilon^{1/2}$ となるので、共振器を構成する誘電体の比誘電率を適当に選ぶことにより、多層配線基板内に構成できる程度のサイズにする事ができる。

【0021】図4は、同軸共振器の他の実施例を示す斜視図である。図3の同軸共振器と比較すると、主導体層2、3の代わりに、共振領域の下面一面に第1の主導体層3が形成され、共振領域を覆うことなく側壁用バイアホール導体4群の端部のみを電気的に接続する第2の主導体層2'が形成されている。共振器の端部が表面に露

出している場合、即ち、低誘電率の大気と接触している場合、あるいは誘電体基板1よりも比誘電率の低い誘電体に覆われている場合、共振領域内に給電された電磁波は、誘電体基板1と大気、または誘電率の低い誘電体との界面で反射されるため、電磁波が漏れることないために、主導体層2を必要とすることなく、共振器として作用する。この実施例では図3の場合の実施例に比べ共振器の厚みaが半分で構成することができ、より小さな共振器を構成することができる。

【0022】図5は本発明の、同軸系共振器と導波管系共振器とを組み合わせ構成した、フィルタの一実施例である。入出力端子として同軸共振系を用いており、マイクロストリップ線路等と結合しやすいようにしている。また、一般に、帯域通過濾波器では、中央部の共振系のQ値が大きいことが必要であるため、高いQ値の導波管系共振器を用いている。なお、同軸共振系と導波管共振系との結合は、遮断導波部の長さSで調整できる（参考文献：小西良弘著、マイクロ波回路の基礎とその応用）。

【0023】図6は、図1に示す本発明の実施例の積層型共振器の入出力部の構成例を示したものである。主導体層2にスロット孔8とコプレーナ線路9が形成されている。上記図5のように遮断導波管を通して接続しやすい同軸系と接合しても良いが、図6に示すようにスロット孔を介して電磁結合により入出力部を構成した方が構成も簡単でありロスも少ない。また、図6の例では、コプレーナ線路を用いているが、同様にマイクロストリップ線路を用いてスロット孔8を介して電磁結合させることもできる。この場合は、主導体層2にスロット孔のみを形成し、その上部に誘電体層を設け、その誘電体層上にマイクロストリップ線路の中心線路を形成し、平面的にみて、スロット孔8の中心から中心線路の先端が $1/4$ 波長分突出する位置に形成することにより電磁結合させることができる。

【0024】図7は、図2に示す本発明の積層型共振器の入出力部の構成例を示したものである。第2の主導体層2'にコプレーナ線路9が形成されており、コプレーナ線路の信号線のみが共振器上部にまで達している。この部分は $1/4$ 波長のモノポールアンテナとして作用させることにより、良好な接続が可能となる。

【0025】また、本発明によれば、共振領域の一部に比誘電率が高い部分を形成することにより、電磁界を比誘電率の高い部分に集中させることができ、導体による損失も低減することができ、それにより高いQ値の共振器を得ることができる。

【0026】その具体的な構造例について、図8、図9をもとに説明する。図8および図9によれば、例えば、誘電体基板1を誘電体層1a、1bおよび1cの3層により構成し、誘電体層1bの部分は誘電体層1aおよび1cの比誘電率よりも高い誘電体材料により構成する。

【0027】かかる構成において、側壁用バイアホール導体4群は、前述した通り、共振周波数に対応する信号波長 λ_c の $1/2$ 未満の間隔で形成されるが、ここで言う共振周波数に対応する信号波長 λ_c とは、高誘電体層1bにおけるものである。

【0028】誘電体共振器のQ値は、その誘電体材料の誘電正接、主導体層2、3のよる導体損失および側壁用バイアホール導体4と副導体層5による導体損失、さらに電磁界の共振モードによりこの共振器のQ値が決定される。

【0029】例えば、誘電体基板をセラミック材料により構成した場合、セラミックス材料は比較的誘電損失は小さいが、メタライズ部、即ち、導体部の抵抗が高い場合が多いために、導体損失によりQ値が低下している場合が多い。近年、ガラスセラミック材料も開発され、メタライズに抵抗の低い銅も用いられるようになったが、その抵抗は純銅に比べかなり低いものである。

【0030】そこで、本発明によれば、共振器を構成する部分の中央の誘電体層を比誘電率の高い材料により構成すると、電磁界は比誘電率の高い部分、つまり中央部に集中するため、主導体層2、3付近には電磁界の密度が低くなる。その結果、主導体層2、3による導体損失が低減され、この共振器のQ値を向上することができる。また、望ましくは、誘電体層1bには、誘電体層1a、1cより誘電正接の低い材料を用いることによりさらにQ値を向上させることができる。

【0031】図9は、図2の共振器を改良したものでありその断面図である。図9の共振器は、共振器の端部が表面に露出している場合、即ち、低誘電率の大気と接触している場合、あるいは誘電体基板1よりも比誘電率の低い誘電体に覆われている場合、共振領域内に給電された電磁波が、誘電体基板1と大気、または誘電率の低い誘電体基板との界面で反射されるため、電磁波が漏れることないために、主導体層2を必要とすることなく、共振器として作用するものであるが、かかる構成の場合、第2の主導体層2'と接する誘電体層1aを誘電体層1bよりも高誘電率化することにより、この効果は大きくなる。

【0032】

【発明の効果】以上詳述した通り、本発明によれば、従来の導波管型または同軸型の共振器構造における側面を導体壁に代わり、所定間隔で設けられた多数のバイアホール導体によって囲むことにより、従来の多層化技術によって容易に作製できる共振器を提供できる。これにより、多層化された配線基板や半導体素子を収納するパッケージ構造内に共振器またはフィルタを積層技術をもって形成することができる。

【図面の簡単な説明】

【図1】本発明に係わる導波管型の共振器の一実施例を説明するための概略斜視図である。

【図2】本発明に係わる導波管型の共振器の他の実施例を説明するための概略斜視図である。

【図3】本発明に係わる同軸型の共振器の一実施例を説明するための概略斜視図である。

【図4】本発明に係わる同軸型の共振器の他の実施例を説明するための概略斜視図である。

【図5】本発明に係わる導波管型共振器と同軸型共振器を用いたフィルタを用いた一実施例の概略斜視図である。

【図6】本発明に係わる導波管型の共振器の入出力部を説明するための概略斜視図である。

【図7】本発明に係わる同軸型の共振器の入出力部を説明するための概略斜視図である。

【図8】本発明に係わる共振器の共振領域内の一部を高

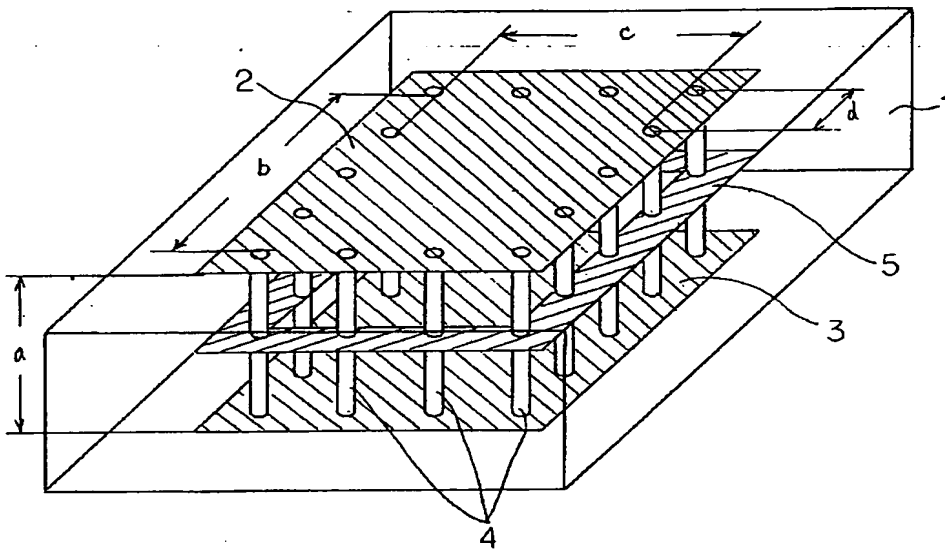
誘電率化した場合の共振器の断面図である。

【図9】本発明に係わる他の共振器の共振領域内の一部を高誘電率化した場合の共振器の断面図である。

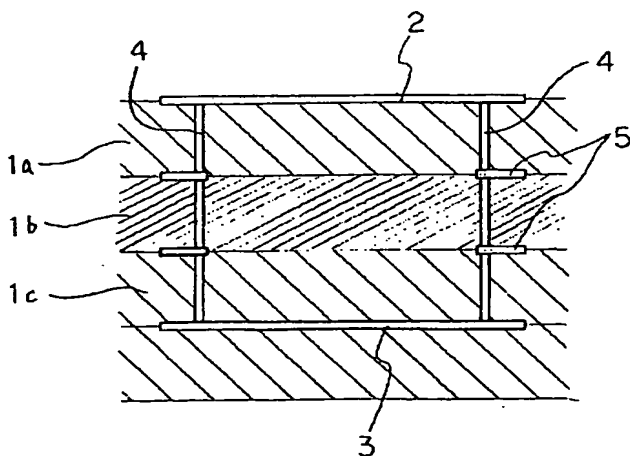
【符号の説明】

- 1 誘電体基板
- 2 (第1の) 主導体層
- 2' 第2の主導体層
- 3 主導体層
- 4 側壁用バイアホール導体群
- 5 副導体層
- 6 信号線
- 7 穴
- 8 スロット孔
- 9 コプレーナ線路

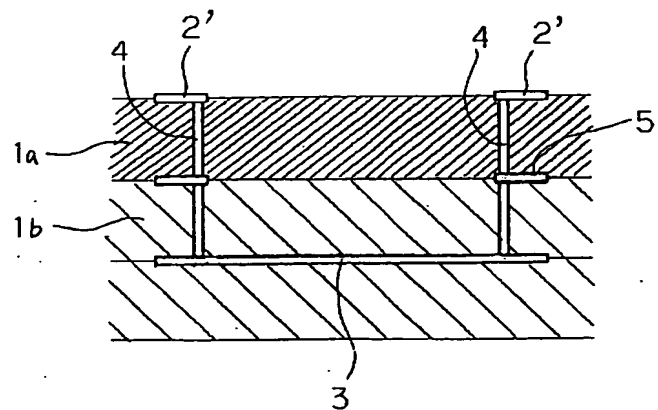
【図1】



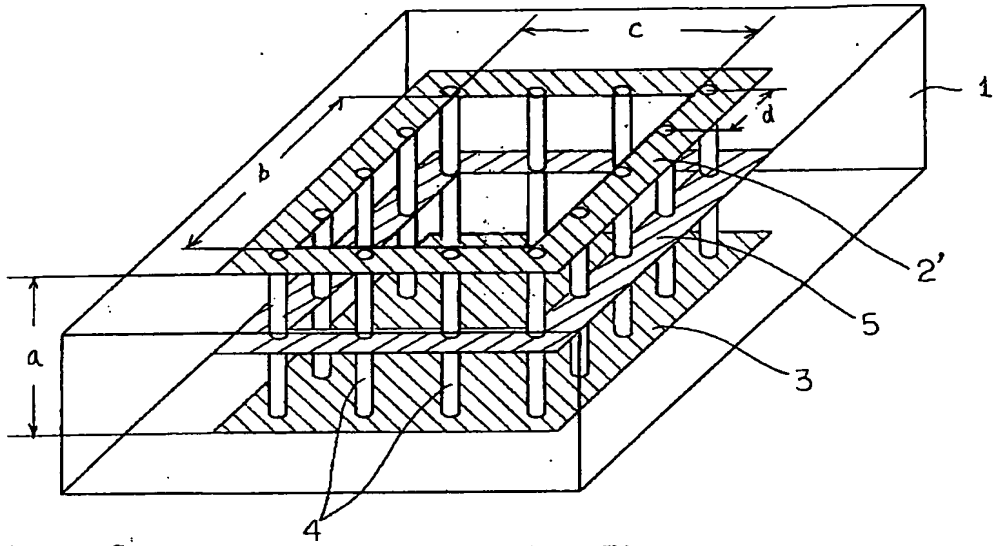
【図8】



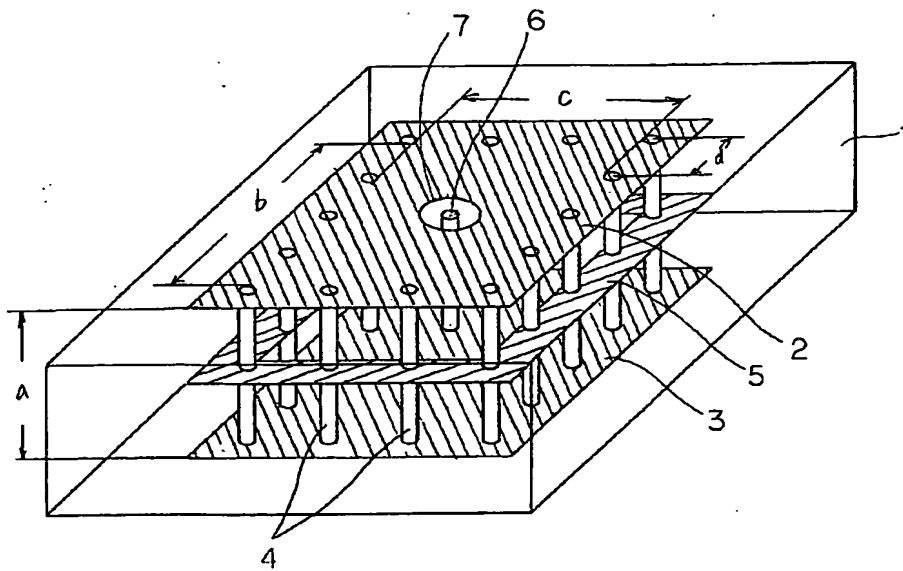
【図9】



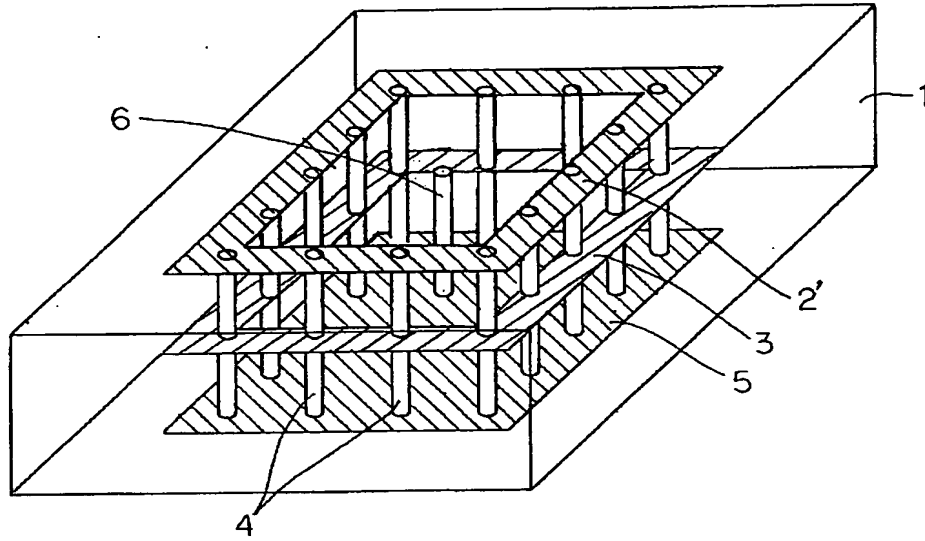
【図2】



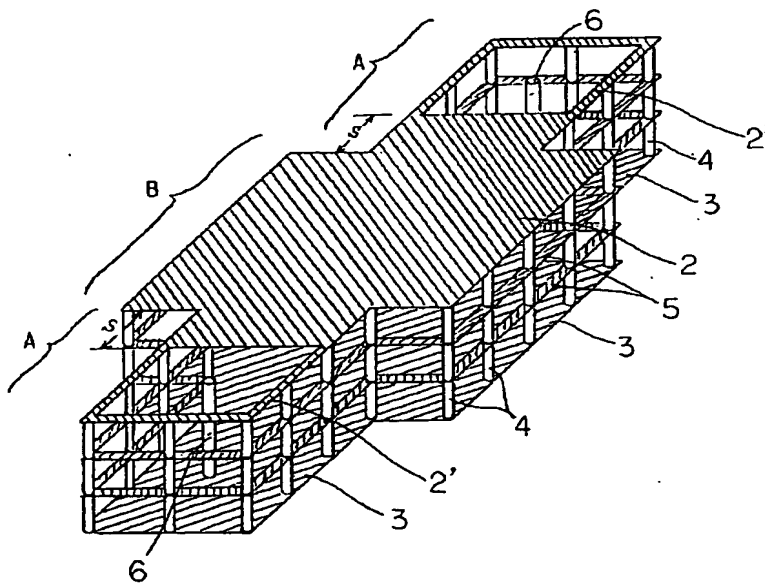
【図3】



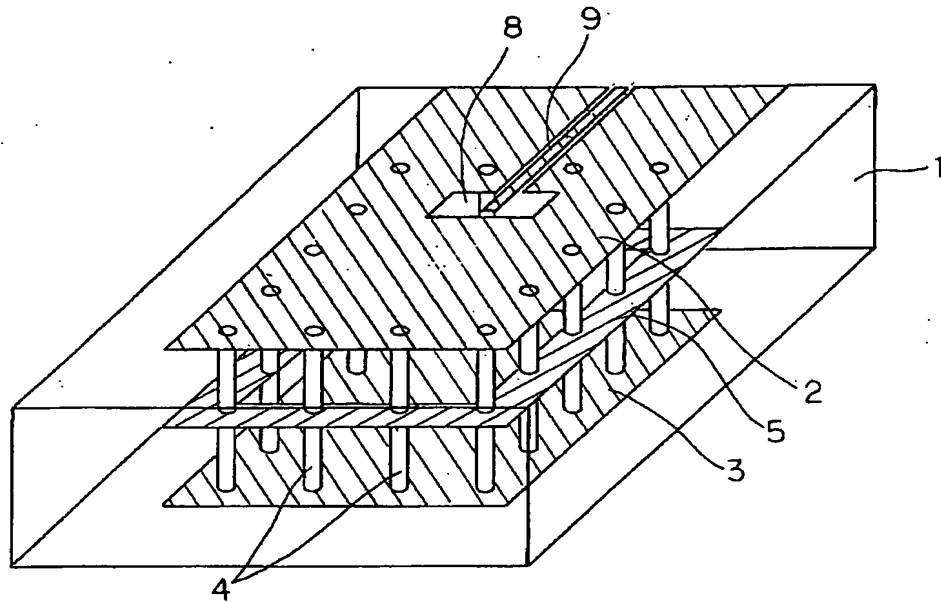
【図4】



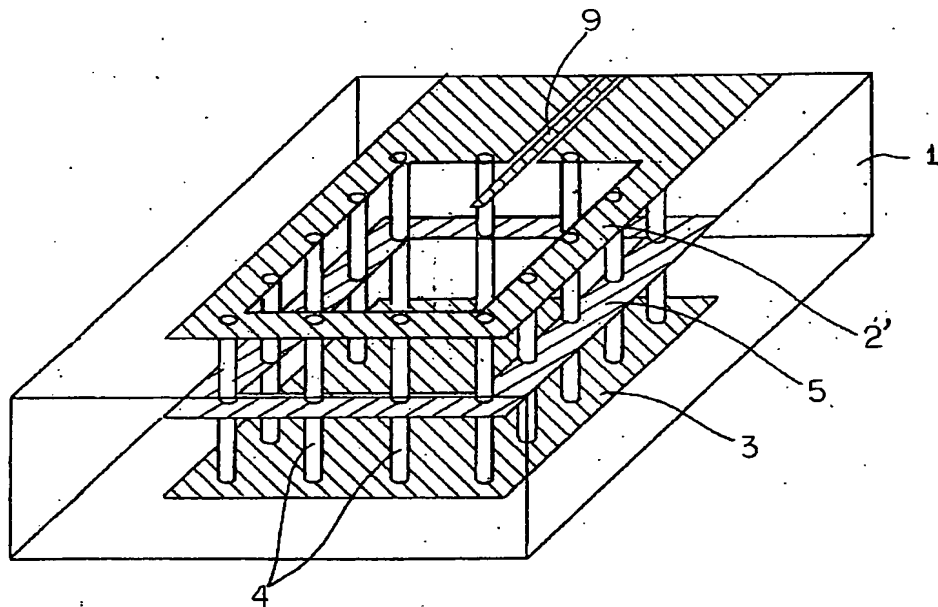
【図5】



【図6】



【図7】



フロントページの続き

(58) 調査した分野(Int. Cl. 7, DB名)

H01P 7/06
H01P 1/208
H01P 5/107
H01P 7/04